

FURUSAWA - U.S. Pat. Appl. 09/939,761
Ref. NEC2480-US

Claims 1, 2, 5 and 6
Reason 2
Citations 1, 2 and 3

Remarks:

In comparing the construction of the invention recorded in Claims 1, 2, 5 and 6 with that recorded in Citation 1 (particular reference is made to Section [0022] - [0027]), and Citation 2 (particular reference is made to Section [0014]-[0018]), the invention recorded in Claims 1, 2, 5 and 6 is recognized to differ in the point that the semiconductor chip is constructed of cumulative layers on a substrate.

However, as this is also recorded in Citation 3 (particular reference is made to the point that No. 10 in Figure 2 is a substrate), since the accomplishment of a cumulative semiconductor chip on a substrate is known technology, it is recognized that the points of difference could be easily conceived by one skilled in the Art.

Claims 1-7
Reasons 1 and 2
Citation 3

Remarks:

Citation 3:

Particular reference is made to Sections [0009], [0011], [0015], [0016], [0037] and [0038].

The construction of the "substance" of the "re-wiring layer" also means nothing more than a "wiring layer".

Claims 3, 4, and 7
Reason 2
Citations 1, 2, 3 and 4

Remarks:

The attachment of connection wiring which provides a connection between 2 bonding pads used as a relay is recognized as nothing more than known technology, such as that which is also disclosed, for example, in Citation 3 and Citation 4 (particular reference is made to the "Figure 1" and the related text).

Reference Citation List

1. Japanese Laid Open Patent Publication Hei 08-213545
2. Japanese Laid Open Patent Publication Hei 04-284663
3. Japanese Laid Open Patent Publication Hei 11-220091
4. Japanese Laid Open Patent Publication Hei 11-312780

Record of the Examination Results relating to Documents of
the Prior Art

- Examined Technical Field: IPC 7th Edition

H01L 25/065
H01L 25/07
H01L 25/18

Documents of the Prior Art

Japanese Laid-Open Patent Publication Hei 04-127545
Japanese Laid-Open Patent Publication 2001-077298

The record of the examination results relating to documents of the prior art does not constitute the grounds for rejection.

拒絶理由通知書

| | |
|----------|-----------------|
| 特許出願の番号 | 特願2000-259227 |
| 起案日 | 平成15年 6月11日 |
| 特許庁審査官 | 今井 拓也 9169 4R00 |
| 特許出願人代理人 | 畑 泰之 様 |
| 適用条文 | 第29条第1項、第29条第2項 |

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用例については引用文献等一覧参照)

- ・請求項 1、2、5、6
- ・理由 2
- ・引用例 1、2、3
- ・備考

請求項1、2、5、6に記載されている発明の構成と引用例1（特に【0022】－【0027】）、引用例2（特に【0014】－【0018】参照）に記載されている構成とを対比すると、請求項1、2、5、6に記載されている発明は、基板上に半導体チップを積層している構成である点で相違するものと認められる。

しかし、例えば引用例3にも記載があるように（特に【図2】図番10が基板である点参照）、基板上に半導体チップを積層することは周知技術的事項であるから、上記相違点は当業者が容易に想到する事項であるものと認められる。

・請求項 1-7

・理由 1、2

・引用例 3

・備考

引用例3：特に【0009】【0011】【0015】【0016】【0037】【0038】参照

「再配線層」も「物」の構造としては単なる「配線層」を意味しているにすぎないと認められる。

・請求項 3、4、7

・理由 2

・引用例 1、2、3、4

・備考

2つの中継用のボンディングパッド間を接続する接続配線を設けることは、例えば引用例3、引用例4（特に【図1】及び関係記載参照）にも記載があるように周知の技術的事項にすぎないと認められる。

引用文献等一覧

1. 特開平08-213545号公報
2. 特開平04-284663号公報
3. 特開平11-220091号公報
4. 特開平11-312780号公報

先行技術文献調査結果の記録

・調査した分野 IPC第7版

H01L 25/065

H01L 25/07

H01L 25/18

・先行技術文献

1. 特開平04-127545号公報
2. 特開2001-077298号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

<補正等の示唆>

(1) 明細書を補正した場合は、補正により記載を変更した個所に下線を引くこと（特許法施行規則様式第13備考6）。

(2) 補正を行う場合は、その補正事項が出願当初明細書の記載の範囲内であることを明確に示されたい。即ち、補正の根拠となる出願当初明細書の記載箇所を

意見書に具体的に示すこと。特に、出願当初明細書に記載のない表現を使用する場合や発明の上位概念化を行う場合は、出願当初明細書から当該表現や当該概念の導き出された論理的な理由、即ち、出願人が当該補正を可能であると判断に至った理由を、途中の省略を行うことなく全て意見書に記載されたい。

(3) 上記(2)の事項が守られない場合、つまり補正の根拠の具体的な説明を行わない(明確な理由の記載が無く、単に「明らか」等の記載に終始する等)時には、当該補正は出願当初明細書の記載の範囲内であることが論理的に説明できない補正と判断し、新規事項の追加と見なす場合もあるので注意されたい。

なお、上記の補正等の示唆は法律的效果を生じさせるものではない。明細書及び図面をどのように補正するかは出願人が決定すべきものである。